3

(12) 公開特許公報(4)

特開平8-316421 (11)特許出願公開番号

(43)公開日 平成8年(1996)11月29日

表示值所

(51) Int CL.		122	裁別記号	广内整理番号	FI			按
H01L	21/04				H01L	¥0/1Z	Ξ	
	21/822					21/76	S	
	21/76					90/12	311A	
	90/12			,				

(全4頁) 部状斑の数1 01 医重新水丸 有

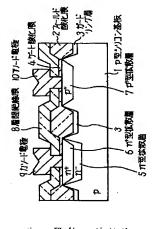
(21)出版条号	特 關平7-124881	(71)出國人 000004237	000004237
(22) 出版日	平成7年(1995)5月24日		日本電気株式会社 東京都港区芝五丁目7番1 ⁴
		(72) 発明者	永井 隆行
			東京都港区芝五丁目7番14
			式会社内
		(74)代理人	74)代理人 弁理士 京本 直樹 (外)

B 日本電気株

(54) [発明の名称] 半導体集積回路装置

p型のガードリング局3とカソードのn+型拡散局6と 【目的】内部回路来子の耐圧よりも低い耐圧の保護素子 【構成】フィールド酸化膜2で素子分離された第1の素 子形成領域にn - 型拡散層 5 と、n + 型拡散層 6 からな 型拡散層 7 を形成し、フィールド酸化膜 2 の下に設けた を隣接させることでリーチスルー耐圧を内部トランジス る2重拡散層構造を形成し、第2の素子形成領域にp+ をリーチスルー耐圧を利用したダイオードで形成する。 タの耐圧よりも低くできる。

5.



【特許請求の範囲】

隣接する第1および第2の素子形成領域のそれぞれを素 した一導電型の高不純物濃度拡散困とを有することを特 (請求項1) 一導電型半導体基板の一主面に形成して 子分離するフィールド絶縁膜と、前記フィールド絶縁膜 の素子形成領域の前記半導体基板の表面に形成した逆導 電型の深い低不純物濃度拡散層および前記低不純物濃度 拡散層の上部に形成し且つ前記ガードリング層と隣接す 前記第2の素子形成領域の前記半導体基板の表面に形成 の下部に設けた一導電型のガードリング層と、前記第1 る浅い高不純物濃度拡散層からなる2重拡散層構造と、 徴とする半導体集積回路装置。

【発明の詳細な説明】 0001

【産業上の利用分野】本発明は、半導体集積回路装置に 関し、特に保護回路用素子に関する。

【従来の技術】図2は従来の保護オフバッファ素子の一 例を示す半導体チップの断面図である。 [0002]

【0003】 高圧系 (電源電圧10V~) では図2に示 領域を区画するフィールド酸化膜2およびフィールド酸 化膜4の上に選択的に形成したゲート電極11と、この + 型拡散層 6 に接続して形成したドレイン配極 1 2 およ すように、p型シリコン基板1の表面に設けて素子形成 化膜2の下部に設けたp型のガードリング層3と、素子 形成領域の表面に形成したゲート酸化膜4と、ゲート酸 ゲート電極11とフィールド酸化膜2をマスクとして素 型拡散層 6 およびこのn-型拡散層 6 内に設けた浅いn + 型拡散層7との2重拡散層構造からなるソース・ドレ イン領域と、ゲート電極11を含む表面に設けた層間絶 縁膜8と、層間絶縁膜8に設けたコンタクトホールのn 子形成領域に不純物をイオン注入して形成した深いn-びソース電極13とを有して構成される。

[0004]この構成は、ロジック回路用の商圧系MO Sトランジスタと同じであり、図3の等価回路に示すよ うに、ゲート電極を基板電位と同電位にすることでオフ バッファとして用いられる。

【0005】このオフバッファを保護素子として使用す る場合、その動作を順に示すと次のようになる。

[0006] (1) ドレイン電極に高電圧パルスが印加

【0007】 (2) ドレイン拡散層のジャンクションダ

[0008] (3) 発生した電子・ホール対のホールが イオードDがブレイクダウンを起こす。 ゲート電極下の電位を引き上げる。

タBがオンすることでプレイクダウン後のオン抵抗を低 【0009】(4) 寄生n p n 型パイポーラトランジス 下することができる。 【0010】この場合、電流はドレイン抵抗 RD、ソー ス抵抗RS を介して流れるため、ドレイン抵抗RD、ソ

-ス抵抗RS が発熱する現象が起きる。

[発明が解決しようとする瞑題] この従来の半導体集積 回路装置では、保護回路用来子の構造が内部ロジック回 ソース・ドフイン領域の n - 型内牧配の截仮が低く、ド ドレイン領域およびソース領域の発熱により、ジャンク レイン抵抗およびソースが高い場合に寄生 n p n 型バイ 路と同じであるため、その耐圧も同じであった。また、 ポーラトランジスタがオンすることで、過電流が流れ、 ション破壊に至るという問題があった。

【0012】これらのことから、オフバッファを保護素 子として使用する場合には、その占有面積を大きくして **電流を分散させる必要があった。**

【0.0 1 3】本発明の目的は、内部回路素子よりも耐圧 の低い保護素子を有する半導体集積回路を提供すること

[0014]

に設けた一導電型のガードリング層と、前記第1の素子 【戦題を解決するための手段】本発明の半導体集積回路 **る第1 および第2の案子形成領域のそれぞれを案子分離** するフィールド絶縁膜と、前記フィールド絶縁膜の下部 形成領域の前記半導体基板の表面に形成した逆導電型の 深い低不純物濃度拡散層および前記低不純物濃度拡散層 の上部に形成し且つ前記ガードリング配と隣接する浅い **高不純物濃度拡散層からなる2重拡散層構造と、前記第** 装置は、一導電型半導体基板の一主面に形成して隣接す 2の業子形成領域の前記半導体基板の装面に形成した一 尊電型の高不純物濃度拡散層とを有する。 【実施例】次に、本発明について図面を診照して説明す

【0016】図1は本発明の一実施例を示す半導体チッ プの断面図である。

に、不純物酸仮が1×10¹⁶~1×10¹⁹cm⁻³で深さ **重ねて、不純物濃度が1×10¹⁹∼1×10²²cm−3で** ×1014~1×1016cm-3のp型シリコン基板1の投 ールド酸化版2により区画され且の隣接する第1および 第2の素子形成領域の表面に膜厚40~100nmのゲ 一ト酸化膜4を形成する。第1の茶子形成領域に不純物 **徴**度が1×1016~1×1019cm−3で深さ0.3~2 μmのn-型拡散局5を形成し、このn-型拡散局5に 深さ0. 1~0. 5 mmのn + 型拡散層 6 を形成した二 【0017】図1に示すように、まず、不純物濃度が1 2~1μmのp型ガードリング励3を形成し、フィ 面を局所酸化して形成したフィールド酸化膜2の下部 重拡散層を形成する。

【0018】次に、第2の茶子形成領域に不純物濃度が 1×1019~1×1022cm-3で深さ0.2~1umの p+型拡散層7を形成する。次に、全面に層間絶縁膜8 を堆積して選択的にエッチングし、n+型拡散 B およ \mathfrak{T}

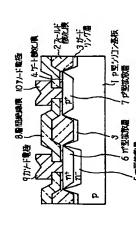
特開平08-316421

【0019】 ここで、図示されてはいないが、カソード **電極9は外部端子に接続されるとともに、保護されるべ** きトランジスタのゲート電極(保護索子が入力回路保護 スタのドレイン(保護茶子が出力回路保護に用いられる に用いられるとき)、あるいは保護されるべきトランジ ド饥極10とのそれぞれを形成する。 とき)等に接続される。

圧が内部トランジスタより低い。よって、特に専用工程 の追加を行うことなく、内部トランジスタより耐圧の低 【0020】このように構成された半導体集積回路装置 ているため、空を困ののびが制限され、リーチスルー耐 拡散的5を通らずに電流が流れるので、熱の発生も抑え では、n+ 型拡散層 6 が p 型ガードリング層3と隣接し い保護ダイオードを形成することができる。またn-型 られ、ジャンクション破壊は防止される。

[発明の効果] 以上説明したように本発明は、一導電型 1 m m の場合、内部トランジスタの耐圧が20~80V 一導電型ガードリング局と隣接された高濃度の逆導電型 拡散層により、高電圧パルスがカソード電極に印加され た場合の空乏層の広がり方を内部トランジスタの高濃度 の逆導電型拡散層と一導電型ガードリング層が離れてい る場合に比べて小さくし、リーチスルー駐圧を内部トラ n- 型拡散層の不純物濃度が1×1016~1×1019c m-3、深さ 0. 3~2 n mで、p 型ガードリングの不純 **物数度が1×1016~1×1019cm−3、深さ0.2~** の案子形成領域に形成した低濃度の逆導循型拡散層およ のその上部に設け且しフィールド酸化酸の下部に設けた ンジスタより低くした保護素子を実現できる。実際には であるのに対して本発明の保護ダイオードの耐圧は2~ 半導体基板の表面にフィールド酸化膜で区画された第1 [0021]

[図1]



ラインで形成できるため、特別の工程を追加することな く、内部トランジスタと同じ工程で形成できる利点があ 【0022】また、これらの拡散層は、 すべてセルフア

【0023】また、従来例のMOS型保護素子で必要で あったゲート電極が省略でき、より小さい占有面積にて 保護素子を形成することができる。しかも、耐圧が内部 ジスタへ流れることはない。 よって、従来例のように大 面積で過大電流を分散させる必要がなくなり、より小さ トランジスタより低いことから、過大領流が内部トラン い占有面積にて保護素子を形成できる。 【0024】さらに、過大電流は高濃度n型拡散層から p型ガードリング層に流れるため、低濃度n型拡散層を 通らない。よって熱の発生も抑えられ、ジャンクション 破壊が防止される。

Rate サイストレート協札

【図面の簡単な説明】

【図1】 本発明の一実施例を示す半導体チップの断面

【図2】従来の半導体集積回路装置の一例を示す半導体

チップの断面図。

【図3】図2の等価回路を示す図。

[符号の説明]

p型シリコン基板1

フィールド酸化膜

ガードリング配

ゲート酸化膜

n-型拡散層

n + 型拡散層

p + 型拡散層

哈問絶縁膜

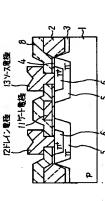
カソード電極

ゲート電極

アノード電極

ソース電極

[図 図



(<u>M</u>3)